

Arquitetura de computadores e sistemas operacionais

Tecnologia CMOS

Gabriel V C Candido
gabriel.candido@ifpr.edu.br

Instituto Federal do Paraná - Pinhais

Sumário

Transistores e CMOS

Como são construídas as portas lógicas?

Comportamento dinâmico de circuitos CMOS

Sumário

Transistores e CMOS

Como são construídas as portas lógicas?

Comportamento dinâmico de circuitos CMOS

Condutores

Condutor: elétrons da camada de valência são fracamente atraídos → se movem livremente entre átomos vizinhos



Condutores

Condutor: elétrons da camada de valência são fracamente atraídos → se movem livremente entre átomos vizinhos

Isolante: elétrons da camada de valência são fortemente atraídos



Condutores

Condutor: elétrons da camada de valência são fracamente atraídos → se movem livremente entre átomos vizinhos

Isolante: elétrons da camada de valência são fortemente atraídos

Semicondutor: podem se comportar como condutores ou isolantes, dependendo da circunstância → chaves com 2 estados (abertas, fechadas)

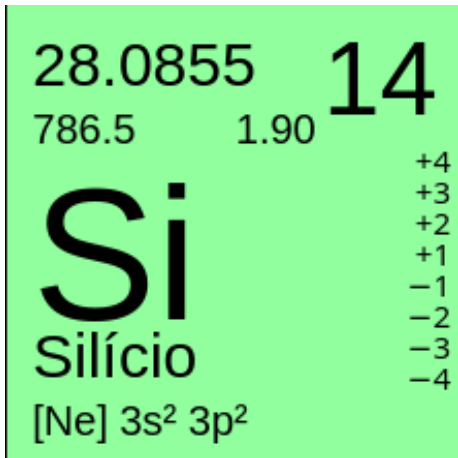
CMOS

Complementary Metal-Oxide Semiconductor

Fabricados a partir de cristais de silício, com impurezas (dopante) adicionadas através da exposição em altas temperaturas

Máscaras definem o espaço da exposição

CMOS



Silício: 4 elétrons na camada de valência
Cada átomo no cristal se liga a 4 vizinhos



CMOS

Fósforo: 5 elétrons na camada de valência

Ao se ligar com o cristal, “sobra” um elétron:
fracamente ligado; carga negativa (tipo N)



CMOS

Fósforo: 5 elétrons na camada de valência

Ao se ligar com o cristal, “sobra” um elétron:
fracamente ligado; carga negativa (tipo N)

Boro: 3 elétrons na camada de valência

Ao se ligar com o cristal, “falta” um elétron: buraco;
carga positiva (tipo P)

CMOS

Fósforo: 5 elétrons na camada de valência

Ao se ligar com o cristal, “sobra” um elétron:
fracamente ligado; carga negativa (tipo N)

Boro: 3 elétrons na camada de valência

Ao se ligar com o cristal, “falta” um elétron: buraco;
carga positiva (tipo P)

A mobilidade da carga em um material semiconductor depende da concentração do dopante e de um campo elétrico

Transistores

Transfer-resistor: resistor de transferência

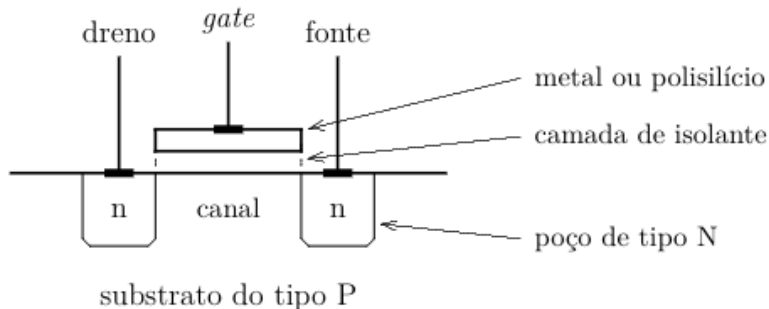


Figura: Transistor CMOS tipo N. Fonte: RH

Transistor tipo N

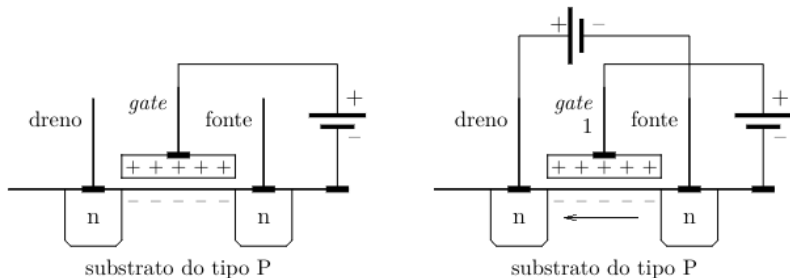


Figura: Funcionamento do transistor CMOS tipo N. Fonte: RH

Transistor tipo N

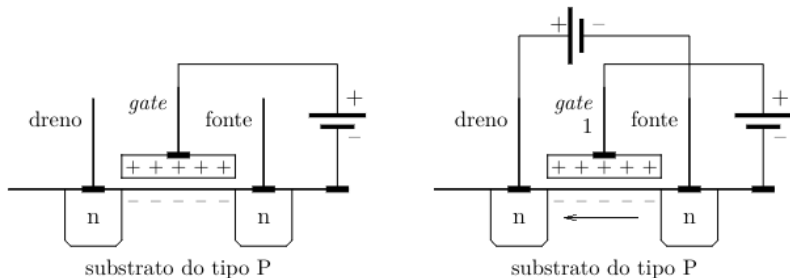


Figura: Funcionamento do transistor CMOS tipo N. Fonte: RH

Se ligarmos na fonte o nível 1, o sinal do dreno será o 1 'fraco', pois os portadores de carga são elétrons, negativos: bom condutor de 0 (zeros)

Transistor tipo P

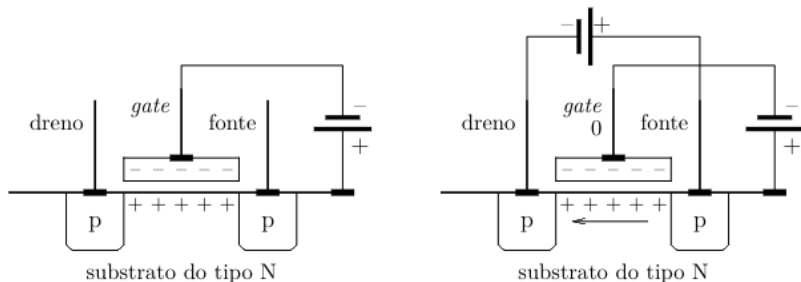


Figura: Funcionamento do transistor CMOS tipo P. Fonte: RH

Transistor tipo P

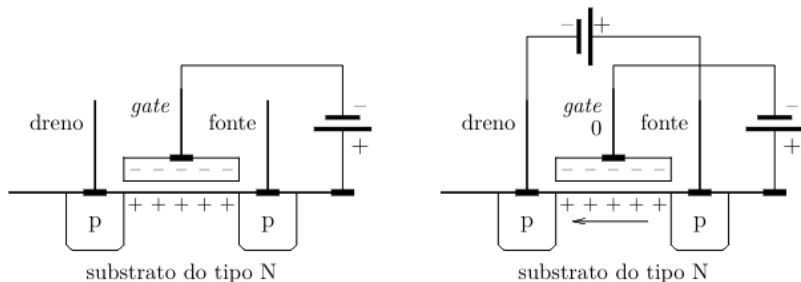


Figura: Funcionamento do transistor CMOS tipo P. Fonte: RH

Se ligarmos na fonte o nível 0, o sinal do dreno será o 0 'fraco', pois os portadores de carga são "buracos", positivos: bom condutor de 1 (uns)

Transistores

Também chamados FET ou MOSFET

FET: *Field Effect Transistor*

MOSFET: *Metal-Oxide Semiconductor, Field Effect Transistor*

Chaves

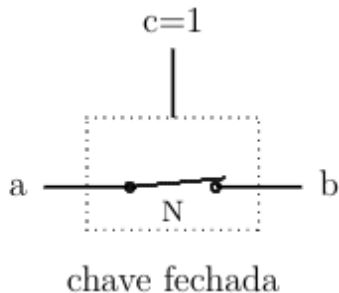
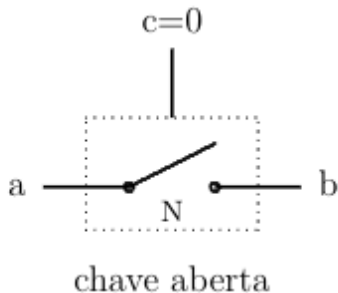


Figura: Chaves digitais tipo N. Fonte: RH

Chaves

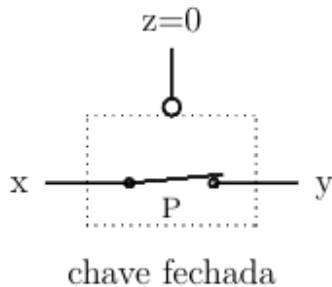
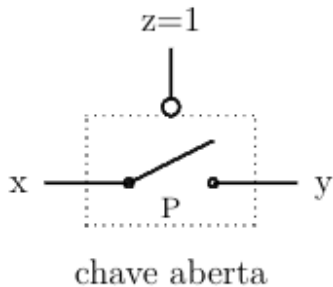


Figura: Chaves digitais tipo P. Fonte: RH

Sumário

Transistores e CMOS

Como são construídas as portas lógicas?

Comportamento dinâmico de circuitos CMOS

Inversor

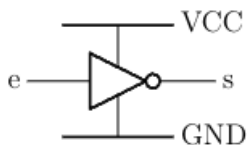
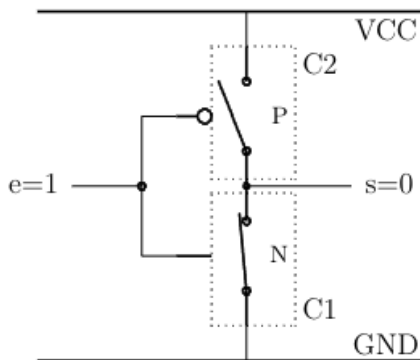


Figura: Inversor implementado com chaves. Fonte: RH

Ligação em série

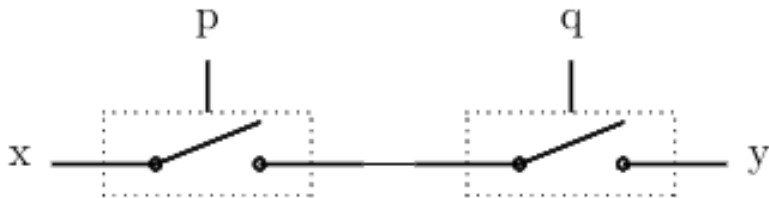


Figura: Ligação em série de chaves. Fonte: RH

Ligação em paralelo

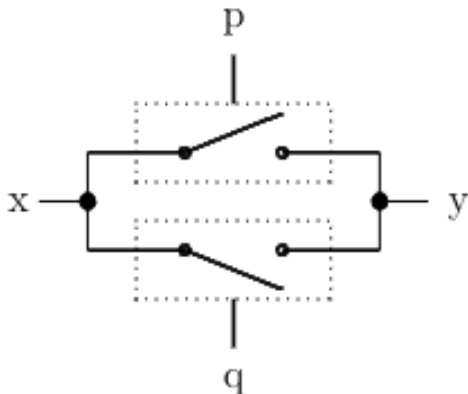


Figura: Ligação em paralelo de chaves. Fonte: RH

Porta *nand*

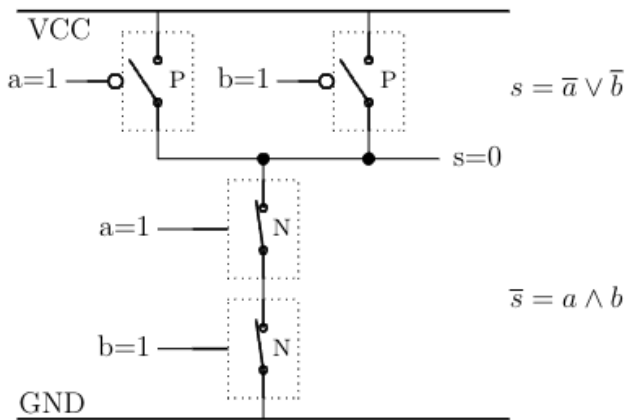


Figura: Porta *nand* implementada com chaves. Fonte: RH

Porta *nor*

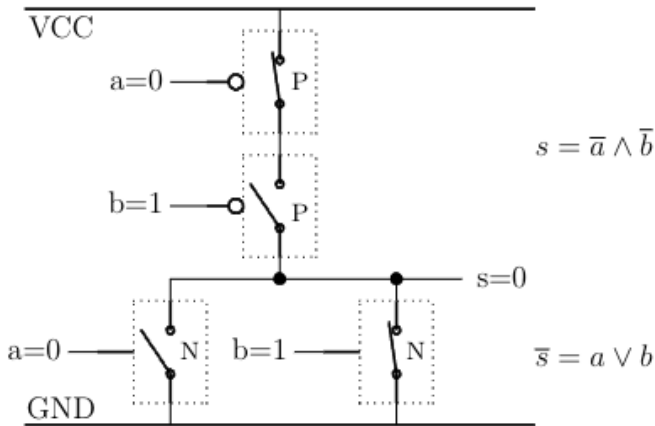


Figura: Porta *nor* implementada com chaves. Fonte: RH

Modelo de portas CMOS

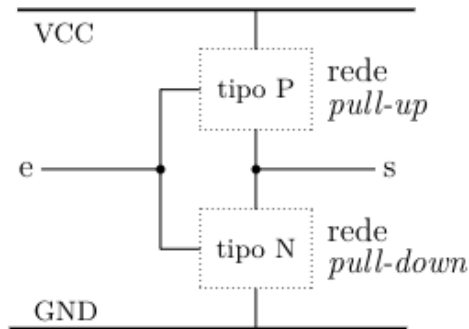


Figura: Modelo de portas CMOS. Fonte: RH

Modelo de portas CMOS

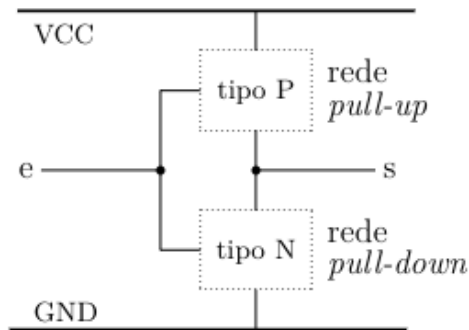


Figura: Modelo de portas CMOS. Fonte: RH

Redes duais: $pull-up = \overline{pull-down}$

Inversor CMOS

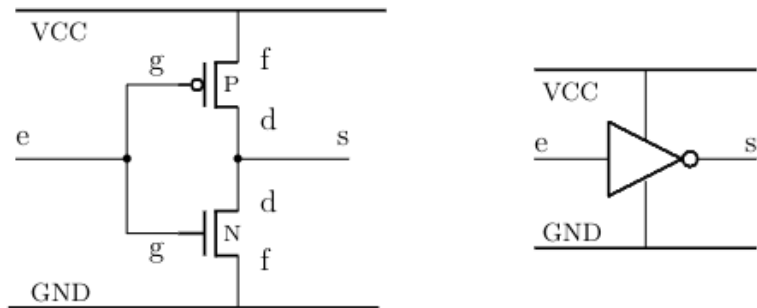


Figura: Inversor CMOS. Fonte: RH

Inversor CMOS

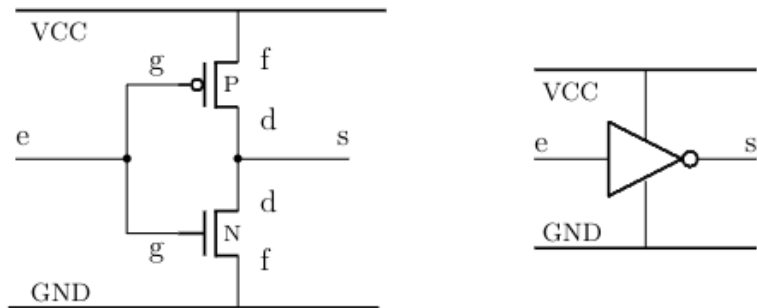


Figura: Inversor CMOS. Fonte: RH

Redes duais: $pull-up = \overline{pull-down} = \bar{e}$

Inversor CMOS

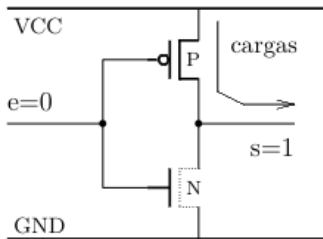
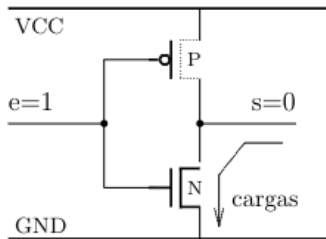


Figura: Operação do inversor CMOS. Fonte: RH

Porta *nor* CMOS

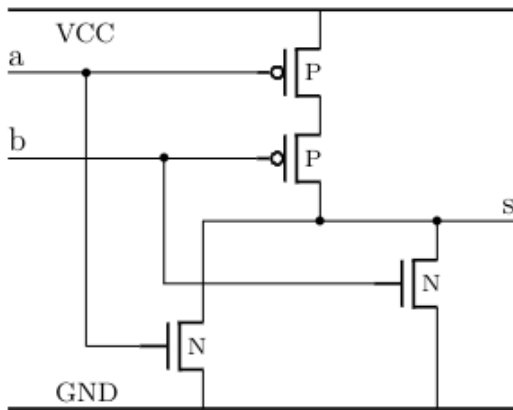


Figura: Porta *nor* implementada em CMOS. Fonte: RH

Porta *nand* CMOS

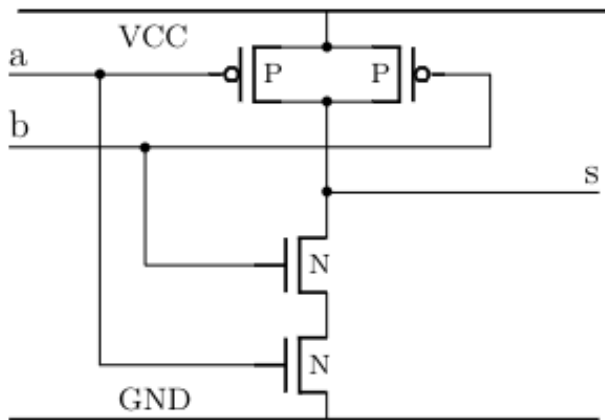


Figura: Porta *nand* implementada em CMOS. Fonte: RH

Portas CMOS complexas

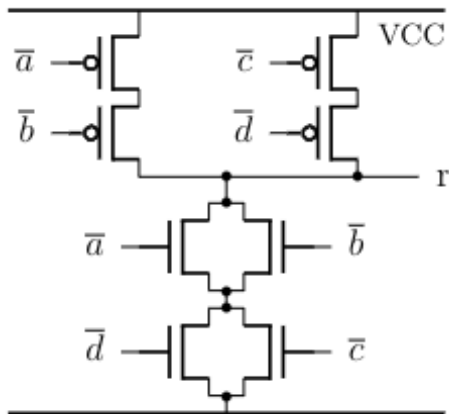


Figura: Implementação de $r = (a \wedge b) \vee (c \wedge d)$ em CMOS.

Fonte: RH

Sumário

Transistores e CMOS

Como são construídas as portas lógicas?

Comportamento dinâmico de circuitos CMOS

Temporização

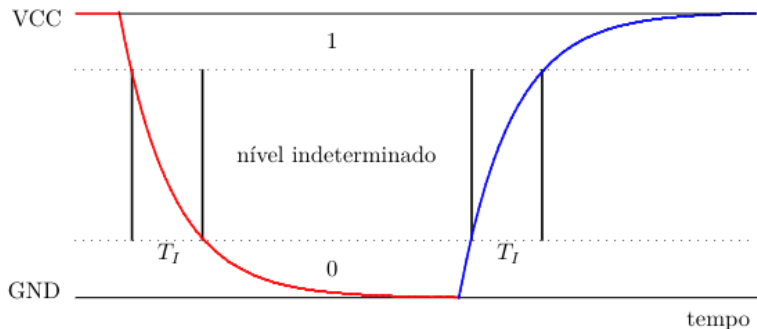


Figura: Tempo de carga e descarga do circuito de saída.

Fonte: RH

Temporização

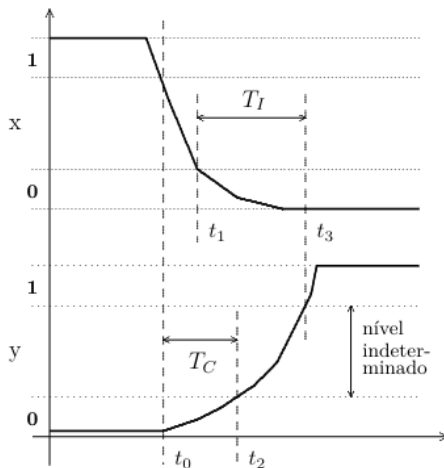


Figura: Tempo de propagação (T_I) e tempo de contaminação (T_C). Fonte: RH

Temporização

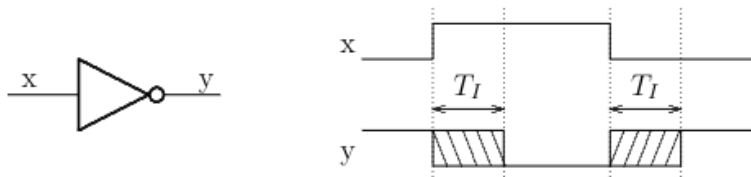


Figura: Tempo de propagação do inversor. Fonte: RH

Temporização

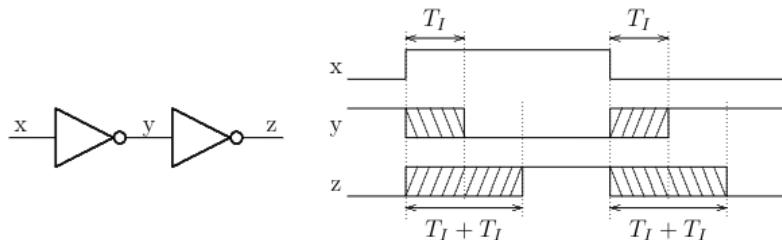


Figura: Tempo de propagação de dois inversores. Fonte: RH

Tempo de contaminação

O menor intervalo no qual uma saída permanece válida após a entrada tornar-se inválida

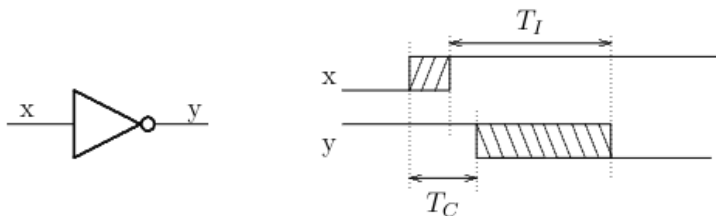


Figura: Tempo de propagação e contaminação. Fonte: RH

Tempo de propagação e contaminação

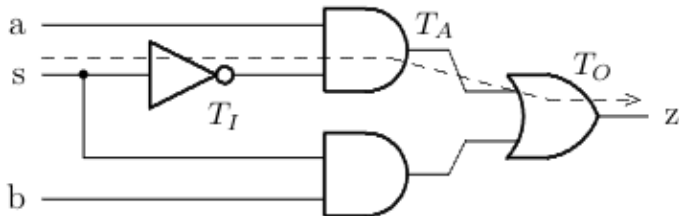


Figura: Tempo de propagação do multiplexador. Fonte: RH

Tempo de propagação e contaminação

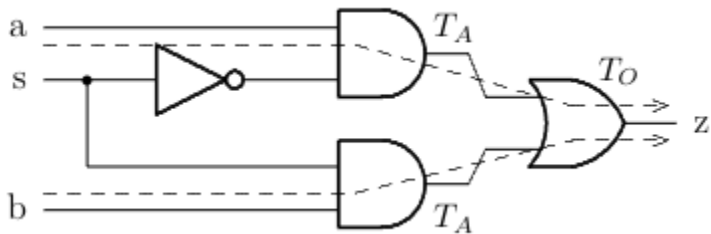


Figura: Tempo de contaminação do multiplexador. Fonte: RH

Tempo de propagação e contaminação

$$T_P(\text{and, or}) = 20\text{ps}$$

$$T_P(\text{inv}) = 15\text{ps}$$

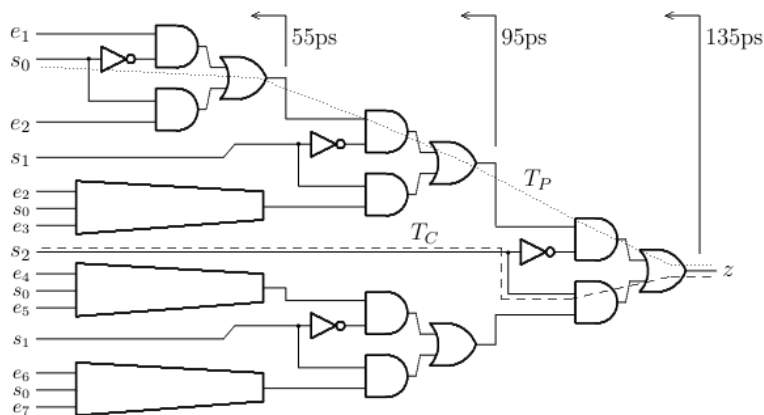


Figura: Temporização de um *mux-8*. Fonte: RH INSTITUTO FEDERAL
Paraná
Campus Pinhais

Comportamento dinâmico de circuitos

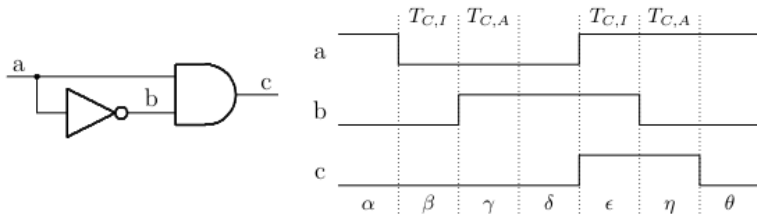


Figura: Circuito com comportamento dinâmico distinto do estático. Fonte: RH

Comportamento dinâmico de circuitos

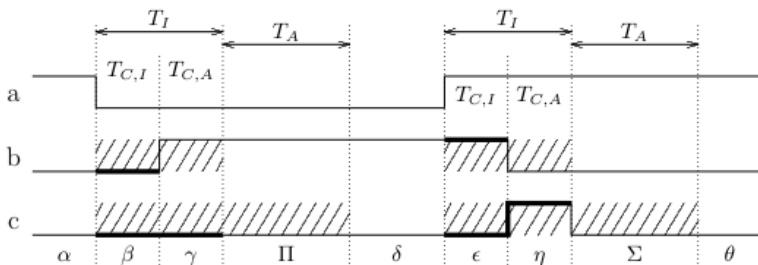


Figura: Comportamento dinâmico considerando o tempo de propagação. Fonte: RH

Comportamento dinâmico de circuitos

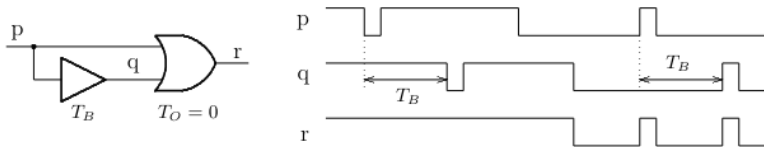


Figura: Filtro de espículas (pulsos de curta duração) com porta *or*. Fonte: RH

Lógica restauradora

Lembre-se que em circuitos CMOS, o sinal da entrada não passa para a saída.

As redes de transistores puxam a saída para VCC (1 forte) ou GND (0 forte), e portanto restaura a qualidade do sinal

Uma entrada fraca gera uma saída com sinal forte por conta disso.